

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
25. August 2005 (25.08.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/078586 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **G06F 11/36**

(21) Internationales Aktenzeichen: PCT/EP2004/050803

(22) Internationales Anmeldedatum:  
13. Mai 2004 (13.05.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10 2004 006 437.7 9. Februar 2004 (09.02.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **CONTINENTAL TEVES AG & CO. OHG** [DE/DE]; Guerickestrasse 7, 60488 Frankfurt/Main (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **VOSS, Burkart** [DE/DE]; Hofmannstrasse 6, 64283 Darmstadt (DE). **TRASKOV, Adrian** [DE/DE]; Hardtbergstrasse 8, 61449 Steinbach (DE). **MICHEL, Heiko** [DE/DE]; Ohmstrasse 66, 60486 Frankfurt (DE).

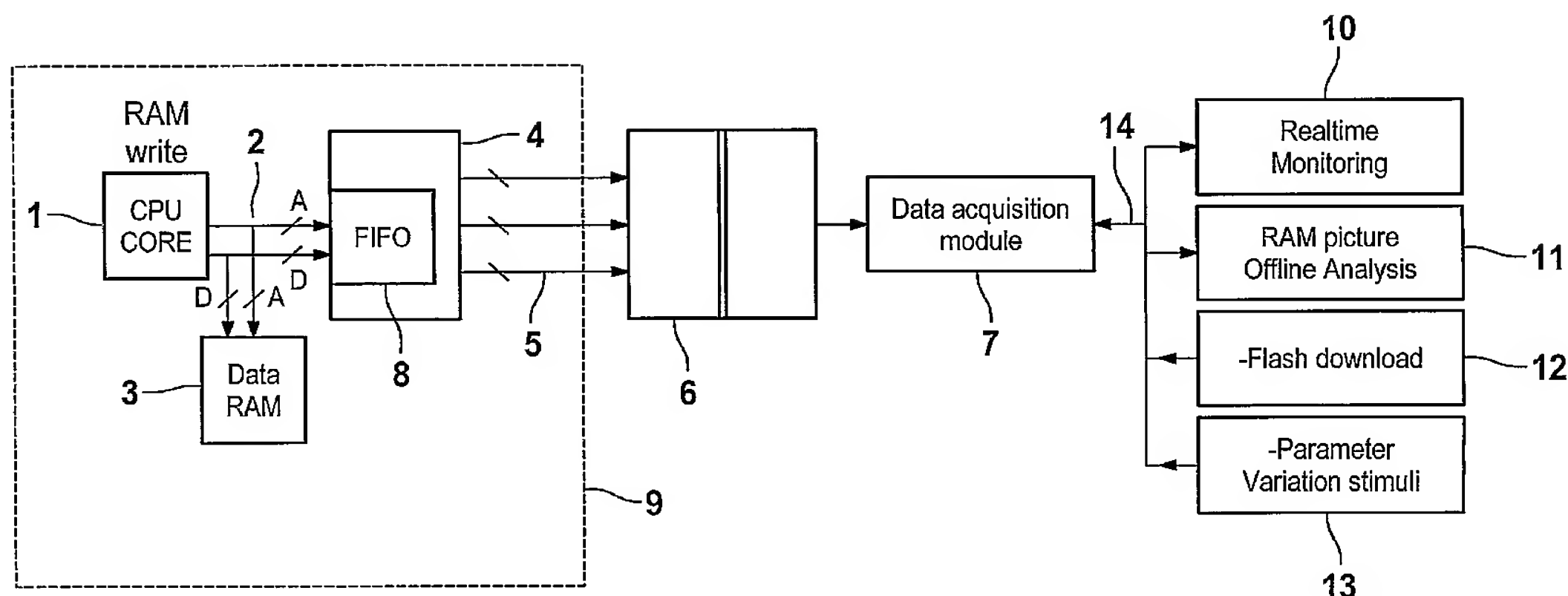
(74) Gemeinsamer Vertreter: **CONTINENTAL TEVES AG & CO. OHG**; Guerickestrasse 7, 60488 Frankfurt/Main (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR ANALYZING INTEGRATED SYSTEMS FOR CRITICAL SAFETY COMPUTING SYSTEMS IN MOTOR VEHICLES

(54) Bezeichnung: EINRICHTUNG UND VERFAHREN ZUR ANALYSE VON EINGEBETTETEN SYSTEMEN FÜR SICHERHEITSKRITISCHE RECHNERSYSTEME IN KRAFTFAHRZEUGEN



(57) Abstract: The invention concerns a device for analyzing an integrated system (9) comprising at least one CPU card (1), at least one CPU bus (2) and at least one memory (3). Said device comprises a communication module (4) for inputting and editing analysis data using a test interface (5) provided with at least one group of data lines additionally to the control lines. The words containing data and addresses are transmitted alternately or in any succession using the test interface. Thus, it is possible to detect errors while using few CPU card cycles.

(57) Zusammenfassung: Beschrieben ist eine Analyseinrichtung für ein eingebettetes System (9), welches mindestens eine CPU (1), mindestens einen CPU-Bus (2) und mindestens einen Speicher (3) umfasst. Die Einrichtung weist ein Kommunikationsmodul (4) für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle (5) auf, welche neben Steuerleitungen mindestens eine Datenleitungsgruppe umfasst. Die Datenworte und Adressworte werden abwechselnd oder in sonstiger Reihenfolge über die Testschnittstelle übertragen. Hierdurch ergibt sich der Vorteil der Fehlererkennung bei geringem Verbrauch von Taktzyklen der CPU.



WO 2005/078586 A2



KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

**(84) Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Einrichtung und Verfahren zur Analyse von eingebetteten Systemen für sicherheitskritische Rechnersysteme in Kraftfahrzeugen**

Die Erfindung betrifft eine Analyseeinrichtung gemäß Oberbegriff von Anspruch 1, dessen Verwendung gemäß Anspruch 8 oder 9 sowie ein Verfahren gemäß Oberbegriff von Anspruch 12.

Um Software für eingebettete Systeme erfolgreich entwickeln zu können, ist es allgemein üblich, Einrichtungen vorzusehen, mit denen eine Fehlererkennung zur Laufzeit (Debugging) erfolgen kann. Gemäß einem bereits bekannten Konzept zur Fehlererkennung während der Laufzeit (Debugging) in eingebetteten Systemen wird über einer sogenannte JTAG-Schnittstelle (Joint Test Action Group, IEEE Standard 1149.1-1990, "IEEE Standard Test Access Port and Boundary Scan Architecture", Institute of Electrical and Electronics Engineers Inc., New York, USA, 1990) eine Verbindung zu einem externen Analysesystem hergestellt. Mit Hilfe dieser Analyseschnittstelle lassen sich verschiedene Prüfoperationen durch ein "Boundary-Scan"-Testverfahren, wie unter anderem Einzelschrittverarbeitung des Prozessors (Singlestepping), Setzen von Haltepunkten (Breakpoints) und Setzen von sogenannten "Watchpoints" durchführen. Durch diese an sich bekannten Hilfsmittel zur Fehlererkennung ist es zwar prinzipiell möglich, die Abarbeitung des Programms einschließlich dem Zustand von ausgewählten Variablenwerten mitzuverfolgen, jedoch muss das laufende System dazu in der Regel angehalten werden. Ein Anhalten des zu analysierenden Mikrorechners ist jedoch bei den erfindungsgemäß bevorzugt vorgesehenen Regelungsaufgaben in einem elektronisch geregelten Kraftfahrzeugbremsystem praktisch nicht möglich.

- 2 -

Zur Fehlererkennung in eingebetteten Systemen ist weiterhin im Anwendungsfall von Kfz-Bremssystemen bekannt, ein sogenanntes Trace-Interface einzusetzen, welches unter Benutzung eines sogenannten "bond out"-Chips zur Echtzeitanalyse die Weiterleitung aller relevanten CPU-Bussignale (Adressen-, Daten-, und Kontrollsignale) über Gehäusepins zum Beispiel an eine externe Logikanalyseeinrichtung erlauben. Bei einem "bond out"-Chip handelt es sich um einen Microcontroller (MCU), bei dem der Prozessorbus (Daten-, Adressen- und Kontrollsignale) aus dem Gehäuseinneren nach außen gebondet ist.

Bei den heute für eingebettete Systeme üblichen hohen Systemfrequenzen weit über 100 MHz und den modernen Speicherarchitekturen mit schnellen, prozessornahen Zwischenspeichern (Caches) kann diese Methode zur Fehleranalyse auf Grund der hohen Geschwindigkeitsanforderungen nicht mehr verwendet werden. Eine Echtzeitausgabe relativ großer Datenspeicher (zum Beispiel einer Größe von mehr als 100 kByte) ist in der Regel durch die auf Grund der verwendeten Technologie vorgegebenen Systemfrequenzen und der sich daraus ergebenden Bandbreite nicht möglich. Eine denkbare Möglichkeit zur Schaffung der für die Echtzeitdatenübertragung notwendigen Bandbreite wäre eine parallele Ausgabe der zu übertragenden Daten. Die hierfür bei einer technischen Realisierung zur Verfügung stehenden elektrischen Anschlusspins sind jedoch nicht zuletzt aus Kostengründen in der Regel auf eine bestimmte vorgegebene Anzahl begrenzt.

Es besteht daher immer noch die Aufgabe, eine Analyseeinrichtung für eingebettete Systeme zur Verfügung zu stellen, welche auch bei den heute üblichen schnellen eingebetteten Systemen eingesetzt werden kann.

- 3 -

Zur Lösung dieser Aufgabe wird in der unveröffentlichten älteren internationalen Patentanmeldung PCT/EP 03/12630 eine Analyseeinrichtung für ein eingebettetes System vorgeschlagen, welches eine CPU, einen CPU-Bus und einen Speicher umfasst. Die angemeldete Analyseeinrichtung weist zumindest ein Kommunikationsmodul für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle auf. Die angemeldete Analyseeinrichtung ist so eingerichtet, dass mit dem Kommunikationsmodul ohne Verbrauch von Taktzyklen der CPU der interne Speicher und I/O-Zugriffe des eingebetteten Systems überwacht und/oder protokolliert werden kann.

Dieser Ansatz basiert auf folgenden Überlegungen: Zum einen lässt sich der interne Systemzustand eines eingebetteten Systems durch seinen aktuellen Datenspeicherinhalt (RAM) beschreiben bzw. analysieren. Daraus folgt, dass für den Fall, dass dieser Speicherinhalt in Echtzeit in einen externen Datenspeicher kopiert werden kann, eine Möglichkeit besteht, den Systemzustand von dort durch eine nachgeschaltete Auswerteeinheit weiterzuverarbeiten und auszuwerten.

Die vorliegende Erfindung beschreibt zur Lösung des vorstehenden Problems eine neue Analyseeinrichtung gemäß Patentanspruch 1.

Mit der vorgeschlagenen Analyseeinrichtung kann beispielsweise eine Kopie des internen Systemzustands in einen externen Speicher in Echtzeit geschrieben werden. Auf diese Weise lässt sich die ordnungsgemäße Funktion des eingebetteten Systems von außen besonders einfach überprüfen.

Durch die in Anspruch 1 vorgeschlagene Analyseeinrichtung und das in Anspruch 12 vorgeschlagene Verfahren ergibt sich

- 4 -

der Vorteil eines geringen Verbrauchs von für die Analyse verbrauchten Taktzyklen.

Die Analyseeinrichtung ist dabei vorzugsweise Bestandteil eines eingebetteten Systems, welches insbesondere in elektronischen Steuergeräten für Kraftfahrzeugbremsysteme Verwendung findet. Deshalb ist das Kommunikationsmodul bevorzugt im eingebetteten System integriert. In diesem sind weiterhin bevorzugt die wesentlichen Komponenten des Systems, wie z.B. eine oder mehrere CPU's und Speicher, enthalten, welche insbesondere teil- oder vollredundant ausgeführt sind. Hierdurch wird die Betriebssicherheit des eingebetteten Systems erhöht.

Vorzugsweise erfolgt die Protokollierung der Daten nicht in der Weise, dass der gesamte Speicherinhalt oder der Inhalt eines ganzen Speicherbereichs übertragen wird, sondern es werden nur die Veränderungen des Speichers, insbesondere alle Schreibzugriffe der CPU und/oder der Peripherie, übertragen. Auf diese Weise kann eine Verringerung der notwendigen Bandbreite zur Datenausgabe erfolgen.

Weitere bevorzugte Ausführungsformen der Analyseeinrichtung gehen aus den Unteransprüchen 2 bis 7 hervor.

Das System umfasst außerdem vorzugsweise Mittel für die direkte Datenausgabe durch die CPU. Neben diesen Mitteln für die direkte Datenausgabe sind insbesondere Mittel für eine automatische Replizierung der Daten im Hintergrund durch das Analysemodul vorgesehen. Hierdurch ergibt sich der Vorteil einer erhöhten Flexibilität bei der Datenausgabe.

Speziell für diese Anwendungsfälle wird gemäß der Erfindung das beschriebene universelle Datenein- und Ausgabemodul

- 5 -

vorgeschlagen, welches in der Weise eingerichtet ist, dass in Echtzeit ein Datenaustausch mit einem eingebetteten System durchgeführt werden kann, ohne dass dieses insbesondere nicht einmal kurzzeitig angehalten werden muss (non-intrusive).

Gegenüber den aus dem Stand der Technik bekannten Software-Fehlererkennungseinrichtungen besitzt die Hardware-Analyseeinrichtung nach der Erfindung den Vorteil, dass bei der Entwicklung von Regelalgorithmen z. B. für Kraftfahrzeugbremsystemen, das dynamische Systemverhalten insbesondere der Regelvariablen verfolgt werden kann. Weiterhin ist vorteilhaft, dass für den Einsatz eines eingebetteten Systems in einem Hardware-in-the-Loop Simulator oder in einem Rapid-Prototyping System eine Dateneingabe in das eingebettete System vorgenommen werden kann.

Die Erfindung betrifft weiterhin ein eingebettetes System, welches zumindest eine Zentralrecheneinheit und einen Speicher umfasst, wobei dieses durch eine Analyseeinrichtung gekennzeichnet ist, welche weiter oben beschrieben ist. Die Erfindung bezieht sich daher auch auf die Verwendung einer solchen Analyseeinrichtung in diesen eingebetteten Systemen.

Neben dem eingebetteten System umfasst die erfindungsgemäße Lösung auch ein integriertes Mikroprozessorsystem für Kraftfahrzeuge mit mindestens zwei Prozessorkernen (CPU's), welches dadurch gekennzeichnet ist, dass mindestens einem der enthaltenen Prozessorkerne eine vollständige Analyseeinrichtung, wie sie weiter oben beschrieben ist, zugeordnet ist. Weiterhin umfasst die Erfindung die Verwendung der obigen Analyseeinrichtung in einem solchen integrierten Mikroprozessorsystem.



- 6 -

Insbesondere ist in diesem Mikroprozessorsystem einem weiteren Prozessorkern eine unvollständige Analyseeinrichtung zugeordnet, welche gegenüber der vollständigen, weiter oben beschriebenen, Analyseeinrichtung einen reduzierten Funktionsumfang besitzt.

In dem beschriebenen Mikroprozessorsystem ist bevorzugt eine erste Signalverbindung zum Anhalten des ersten Kerns und eine weitere redundante Signalverbindung zum Anhalten des weiteren redundanten Prozessorkerns vorhanden.

Dabei ist insbesondere die erste Signalverbindung mit der ersten Analyseeinrichtung verbunden und die zweite redundante Signalverbindung mit der unvollständigen Analyseeinrichtung verbunden.

In dem vorstehend beschriebenen Mikroprozessorsystem besteht die Reduktion des Funktionsumfangs bevorzugt darin, dass der in der Analyseeinrichtung vorhandene Pufferspeicher eine geringere Wortbreite hat.

Eine weitere Reduktion des Funktionsumfangs wird bevorzugt dadurch erzielt, dass die Testschnittstelle nicht nach außen geführt oder nicht vorhanden ist.

Außerdem betrifft die Erfindung ein Verfahren zur Analyse eines dem weiter oben beschriebenen eingebetteten System mit einer Analyseeinrichtung, wie sie weiter oben beschrieben wurde, bei dem zur Übertragung der Daten über die Testschnittstelle ein Datenübertragungsprotokoll verwendet wird und bei dem die Daten in mehreren Gruppen aus Adressen und Daten übertragen werden.



- 7 -

Nach einem bevorzugten Verfahrensschritt wird zunächst

- der Speicherinhalt oder eine entsprechend auswertbare Information des eingebetteten Systems ganz oder teilweise in einen externen Speicher in Echtzeit kopiert, wobei insbesondere zuvor die Daten gepuffert werden, und/oder

- der Speicherinhalt des externen Speichers oder eine entsprechend auswertbare Information über den Speicherinhalt des externen Speichers ganz oder teilweise in einen Speicher des eingebetteten Systems in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden.

Der externe Speicher wird dabei bevorzugt zur Übertragung von Daten für typische Debugging-Anwendungen verwendet.

Das Verfahren hat den Vorteil, dass die Verarbeitungsgeschwindigkeit des eingebetteten Systems durch die mittels Hardware-Elementen durchgeführten Maßnahmen zur Fehlererkennung nicht verringert wird. Hierdurch ist eine Echtzeitverarbeitung der Daten auch während des Debuggings möglich.

Vorteilhafterweise kann die erfindungsgemäße Analyseeinrichtung nicht nur zur Fehlererkennung verwendet werden, sondern auch zur Entwicklung von kraftfahrzeugspezifischen Software- oder Regelalgorithmen, da eine Beobachtung der Variablen (Regelgrößen) eine besonders einfache Betrachtung und Optimierung der Regelgüte erlaubt.

Das Verfahren gemäß der Erfindung umfasst bevorzugt auch Schritte zur echtzeitfähigen Ausgabe des kompletten Datenspeicherinhalts.

- 8 -

Weiterhin kann in dem eingebetteten System zweckmäßigerweise ein Modus vorgesehen sein, in dem alle Schreib- und/oder Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden.

Zusätzlich kann das eingebettete System einen weiteren bevorzugten Modus umfassen, in dem nur entweder die Schreibzugriffe oder die Lesezugriffe der CPU auf das Kommunikationsmodul umgeleitet werden, wobei die übrigen Zugriffe der CPU auf den Speicher von der CPU aktiv in den externen Speicher protokolliert werden.

Weitere bevorzugte Ausführungsformen ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung der Figuren.

Nachfolgend wird die Erfindung an Hand von Beispielen näher erläutert.

Es zeigen

Fig. 1      ein eingebettetes System 9 mit einer Analyseeinrichtung 4 gemäß der Erfindung,

Fig. 2      Beispiele für eine mögliche Pinbelegung und ein Timingdiagramm für eine Testschnittstelle 5, und

Fig. 3      ein Beispiel für ein redundantes, flächenoptimiertes sicheres Mikroprozessorsystem mit Analyseport.

Eingebettetes System 9 in Fig. 1 umfasst einen oder mehrere CPU's 1, einen oder mehrere löschbare Datenspeicher 3 (RAM), eine Analyseeinrichtung 4 und eine Testschnittstelle 5. Zur Vereinfachung des Blockschaltbilds sind weitere übliche

- 9 -

Funktionselemente des eingebetteten Systems, wie ROM, Takterzeugung, IO, etc., nicht gezeichnet.

Analyseeinrichtung 4 weist drei Funktionsmodi auf, welche nachfolgend beschrieben werden. Im ersten Funktionsmodus werden alle Schreibzugriffe der CPU 1 auf Datenspeicher 3 automatisch über CPU-Bus 2 von der vorgeschlagenen erweiterten Datenaus-/eingabeeinheit 4 mittels eines darin enthaltenen Controllers bzw. einer Trace-Logik 22, 23 über Testschnittstelle 5 auf den externen Datenspeicher 6 geschrieben. CPU-Bus 2 kann in einem alternativen Beispiel auch entfallen, wenn das eingebettete System ein eng an die CPU gekoppeltes RAM besitzt (tightly coupled RAM), wobei in diesem Fall die Informationen über eine Core-spezifische Schnittstelle ausgelesen werden können. Die Analyseeinrichtung ist damit in der Lage, alle Schreibzugriffe der CPU 1 auf Datenspeicher 3 mitzulesen. Der in Einheit 4 enthaltene Controller besitzt deshalb zumindest die gleiche Bandbreite, wie der verwendete Speicher 3, und erhält über interne Datenleitungen neben den Daten auch Kontroll- und Adressinformationen. Hierdurch kann, entsprechend einer bevorzugten Ausführungsform des Verfahrens, der Controller speziell selektierte Adressbereiche und/oder speziell selektierte Datentypen für die Analyse mitverfolgen. Für den Abgriff der Daten und den Datentransfer muss CPU 1 demzufolge keine zusätzlichen Befehle ausführen. Analyseeinrichtung 4 umfasst ferner einen FIFO-Speicher 8 (First In/First Out), welcher innerhalb der Datenausgabeeinheit 4 angeordnet ist. Dieser sorgt für eine zeitliche Pufferung der abgegriffenen Daten. Auf diese Weise können auch Zugriffe auf Testschnittstelle 5 ausgegeben werden, deren Bandbreite kurzzeitig höher ist, als die Bandbreite der Testschnittstelle 5. Dies kann beispielsweise bei Zugriffen der Fall sein, bei denen ein Zu-

- 10 -

rückschreiben einer Cache-Line oder eines CPU-Register Dump bei Funktionseintritt durchgeführt wird.

Externer Datenspeicher 6 ist bevorzugt als Speicher mit zweifacher Datenschnittstelle (Dual-Port) ausgeführt und enthält in der Regel ein genaues Abbild der in RAM 3 beobachteten Speicherbereiche bzw. des gesamten Speicherinhaltes von RAM 3. Es kann sich bei Speicher 6 auch um einen Ringspeicher handeln, der den ankommenden Datenstrom für eine spätere (offline-) Analyse speichert.

Testschnittstelle 5 ist als modifiziertes paralleles Interface ausgeführt, mit der Besonderheit, dass neben Steuerleitungen Datenleitungen vorhanden sind, die abwechselnd sowohl Adressinformationen als auch Daten übertragen können.

Im zweiten Funktionsmodus werden von Analyseeinrichtung 4 alle Lesezugriffe von CPU 1 auf den Datenspeicher protokolliert. Dieser Modus entspricht weitestgehend dem ersten Funktionsmodus, jedoch sind folgende Unterschiede vorhanden: Alle Lesezugriffe werden automatisch über Testschnittstelle 5 ausgegeben. Analyseeinrichtung 4 registriert dabei alle Vorgänge, wie Lesezyklen, Schreibzyklen etc., die durch das eingebettete System vorgenommen werden (Mitlesen). CPU 1 führt aktiv einen Speicherdump durch, was allerdings mit einem geringfügigen tolerierbaren Laufzeitverlust einhergeht.

Bei der im zweiten Funktionsmodus betriebenen Analyseeinrichtung liest CPU 1 den Datenspeicherinhalt in die CPU-Register. Parallel hierzu gibt die Analyseeinrichtung 4 die entsprechenden Daten automatisch aus, d.h. es ist kein expliziter Schreibzyklus für die Datenausgabe zur Analyse erforderlich.

- 11 -

Im dritten Funktionsmodus erfolgt ein direktes Schreiben auf die Datenausgabeeinheit oder ein direktes Lesen von der Datenausgabeeinheit. Der dritte Funktionsmodus entspricht im wesentlichen dem ersten Funktionsmodus, bis auf die Tatsache, dass die Daten aktiv durch die CPU 1 auf die Analyseeinheit 4 extern ausgegeben bzw. aktiv von dort eingelesen werden, wodurch allerdings zusätzliche Taktzyklen erforderlich sind.

Die Analyseeinheit kann über Modul 7 Daten aus dem externen Speicher 6 an typische Debugging-Anwendungen, wie z.B. Echtzeitüberwachung des Systemzustands 10, Offline-Analyse zur Schaffung eines kompletten Datenspeicherabbilds über Modul 11, Flash-Download über Kommunikationskanal 12 (Programmierung des Programmspeichers), Parametervariation während des Betriebs des eingebetteten Systems, Übertragung von Systemstimuli, Rapid-Prototyping und Hardware-in-the-Loop Simulation übertragen werden.

Fig. 2a) zeigt ein Beispiel für eine Pinbelegung und ein Timingdiagramm der Testschnittstelle 5 mit einer Breite des Ports von 16 Bit. Bei einem Schreibzugriff auf RAM 3 wird ein Paket aus Adressen und Daten 20 übertragen, das je nach gewünschter Bandbreite immer aus 16 Adressbits (A1 bis A16), gefolgt von Datenbits D0 bis D7 bzw. D0 bis D15 bzw. D0 bis D31 besteht. Die maximale Datenwortbreite kann die Werte 8, 16, 32, 64 etc. annehmen.

Eine oder mehrere weitere Leitungen können bevorzugt als Leitungen zur Übertragung zusätzlicher Adressbits vorgesehen sein, wenn mehr als 64 KByte adressiert werden sollen. In diesem Fall reichen die dargestellten 16 physikalischen Leitungen DP0 bis DP15 nicht aus, um die erforderliche An-

- 12 -

zahl von Adressbits zu übertragen. Eine Verdoppelung des adressierbaren Bereichs ergibt sich jeweils durch einen oder mehrere zusätzliche physikalische Leitungen 26 (Pin A0/FIFOfull) die zusätzliche Adressinformation übertragen. Wegen der beispielgemäß vorgegebenen Portbreite von 16 Pins in Teilbild a) ergibt sich somit ein maximaler Adressraum von  $2^{17}$  (128 kByte).

Die Länge der Adress-/Datenphase wird bevorzugt über eine in der Schnittstelle vorhandene Add/nDATA Leitung 21 angezeigt, die beispielsweise während der Adressphase einen logischen "high"-Pegel und während der Datenphase einen "low"-Pegel einnimmt. Damit markiert eine steigende Flanke dieses Signals den Start eines neuen Datenpakets.

Eine weitere Leitung 25 ist bevorzugt vorgesehen, um gültige Daten über eine Flanke des Pins DPCLK anzuzeigen. Dabei kann entweder eine steigende oder auch eine fallende Flanke als maßgebliches Gültigkeitskriterium herangezogen werden.

Im Beispiel des 16-Pin breiten Datenports werden parallel jeweils 16 Bit gleichzeitig übertragen. Zur Realisierung eines Byte-Zugriffs (8-Bit) ist bevorzugt eine zusätzliche Signalleitung 24 (BYTE/Parity) vorgesehen, deren Pegel während der Adressphase einen Bytezugriff signalisiert. Während der Datenphase kann diese Leitung dazu benutzt werden, um ein Paritätsbit zu übertragen.

Fig. 2 b) stellt ein weiteres Beispiel für eine Testschnittstelle 5 mit einer Breite von lediglich 8 Bit dar. Gegenüber dem Beispiel in Teilbild a) werden zur Übertragung von Datenworten einer Breite von mehr als 8 Bit eine entsprechend größere Anzahl von Taktzyklen verbraucht. Demgegenüber kann die Byte-Information bei auf Pin 24 bei einem Byte-Zugriff

- 13 -

entfallen, so dass über Pin 24' nur ein Paritätsbit übertragen wird.

In Fig. 3 ist schematisch ein sicheres Mikroprozessorsystem für Kraftfahrzeuge mit zwei CPU's 15 und 16 und jeweils je einer CPU zugeordneten Analyseeinrichtung 17 und 18 dargestellt. Die Analyseeinrichtung 17 hat gegenüber der Analyseeinrichtung 18 einen verminderten Funktionsumfang und damit Chipflächenbedarf.

Im Falle eines Überlaufs des aus Redundanzgründen zweifach vorhandenen FIFO-Speichers 8' und 8'' wird über Signalleitung 19, 19' (zweifach vorhanden) jeweils von den Analyseeinrichtungen 17 und 18 redundant taktsynchron ein Haltesignal erzeugt, welches die CPU's 15 und 16 anhält, bis die FIFO-Speicher 8' und 8'' beide jeweils entsprechend weit geleert worden sind. FIFO-Speicher 8'' ist nicht vollständig und weist daher lediglich eine Datenbreite von 2 (Zusatz-) Bit(s) auf. Demgegenüber ist FIFO-Speicher 8' mit einer Breite von 17 Adressbits, 64 Datenbits + 2 Zusatzbits ein vollständiger Speicher. Der 2 Bit breite FIFO-Speicher 8'', speichert lediglich die Zugriffsbreite des Prozessors. Diese Information wird zur Berechnung der zum Leeren des Daten-FIFO 19 benötigten Taktzyklen benötigt. Das Mikroprozessorsystem besitzt zwei redundante Signalleitungen und Analyseeinrichtungen zum Anhalten der CPU's, damit bei einer Fehlfunktion nur einer Analyseeinrichtung die CPU mit der funktionierenden Analyseeinrichtung weiterlaufen kann. Ein etwaiger Fehler kann zu einem späteren Zeitpunkt durch Vergleich der Rechenergebnisse bzw. wegen des Anhaltens des Rechners als solcher erkannt werden. Das redundante Interface Modul (IM, TDP2) in Analyseeinrichtung 17 überträgt selbst keine Daten. Nur die Logik 22, 23 zum Füllen und



- 14 -

Leeren des FIFO-Speichers muss vollständig redundant implementiert sein.

Vorteilhaft ist dabei, dass bei Verwendung der oben beschriebenen mehrkernigen Prozessorarchitektur das Signal zum Anhalten der CPU unter vermindertem Bedarf an Chipfläche mit ausreichender Fehlersicherheit konzipiert werden kann. Die Herstellungskosten werden durch die Verwendung einer teilweise unvollständigen Analyseeinrichtung deutlich gesenkt.

Wie in nachfolgender Tabelle gezeigt ist, zeichnet sich der beispielgemäße Analyseport durch einen besonders geringen Taktzyklenverbrauch aus. In typischen Beispielen ergibt sich eine Reduktion der Laufzeit durch die erfindungsgemäße Testschnittstelle von lediglich etwa 0,5 bis 1 % bezüglich der ursprünglich benötigten Taktzyklenanzahl. In der Tabelle ist die Anzahl der für die Übertragung eines Datenpaketes benötigten Taktzyklen angegeben:

Tabelle

Bitbreite des Ports	Schreib-Zugriffsbreite in Bit			
	8	16	32	64
4	6	8	12	20
8	3	4	6	10
16	2	2	3	5

- 15 -

#### Patentansprüche

1. Analyseeinrichtung für ein eingebettetes System (9), welches mindestens eine CPU (1), ggf. mindestens einen CPU-Bus (2) und mindestens einen Speicher (3) umfasst, wobei diese zumindest ein Kommunikationsmodul (4) für die Ein- bzw. Ausgabe von Analysedaten über eine Testschnittstelle (5) aufweist, dadurch **gekennzeichnet, dass**  
die Testschnittstelle neben Steuerleitungen mindestens eine Datenleitungsgruppe aufweist, welche in abwechselnder oder sonstiger Reihenfolge sowohl Datenworte, als auch Adressworte überträgt und wobei die Information, ob Datenworte oder Adressworte übertragen werden, über mindestens eine Steuerleitung übertragen wird, so dass der Inhalt und Zugriffe zur Laufzeit auf den beschreibbaren interne Speicher sowie I/O-Zugriffe des eingebetteten Systems praktisch ohne Verbrauch von Taktzyklen der CPU (1) überwacht und/oder protokolliert werden können.
2. Analyseeinrichtung nach Anspruch 1, **gekennzeichnet** durch zwei, insbesondere mindestens drei frei wählbare Analysemodi, wobei sich die Analysemodi in Art und Umfang der Beteiligung der CPU 1 beim Einlesen und/oder Schreiben von Daten für Analysezwecke voneinander unterscheiden, und wobei je nach gewähltem Analysemodus entweder
  - alle Schreibzugriffe der CPU auf insbesondere definierbare Adressbereiche ohne Taktzyklenverbrauch protokolliert werden oder
  - alle Lesezugriffe der CPU protokolliert werden oder

- 16 -

- ein direktes Lesen und Schreiben der CPU aus/in einem/-n externen Speicher (6) mit Taktzyklenverbrauch erfolgt.
3. Analyseeinrichtung nach Anspruch 1 oder 2, dadurch **gekennzeichnet**, dass das Kommunikationsmodul eine Logik 22, 23 umfasst, welche selbstständig über eine Datenverbindung auf Daten- und/oder Kontroll- und/oder Adress-Informationen zugreifen kann, um Schreib- und/oder Lese-Zugriffe in Echtzeit, d.h. ohne Beeinflussung der CPU, mitzuverfolgen.
  4. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 3, dadurch **gekennzeichnet**, dass das Kommunikationsmodul mit einem Pufferspeicher (8, 8', 8'') verbunden ist oder diesen insbesondere umfasst, wobei in dem Pufferspeicher die bei Schreib- und/oder Lese-Zugriffen übertragenen Daten gespeichert werden können und insbesondere aus dem Pufferspeicher Daten über die Testschnittstelle (5) gepuffert ausgegeben bzw. Daten in den Pufferspeicher über diese Schnittstelle eingeschrieben werden können.
  5. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 4, dadurch **gekennzeichnet**, dass die Testschnittstelle (5) mit einem außerhalb des eingebetteten Systems angeordneten Prüfspeicher (6) verbunden ist, wobei der externe Prüfspeicher (6) insbesondere ein Ringspeicher oder ein Dual-Port Speicher ist.
  6. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 5, dadurch **gekennzeichnet**, dass die Datenübertragung vom Kommunikationsmodul zum externen Speicher

- 17 -

über eine Parallelschnittstelle (5) erfolgt.

7. Analyseeinrichtung nach mindestens einem der Ansprüche 1 bis 6, dadurch **gekennzeichnet**, dass externer Speicher (6) mit einer Datenaufbereitungseinrichtung (7) verbunden ist, welche eine Schnittstellenverbindung (14) zu externen Debugging-Anwendungen schafft.
8. Verwendung der Analyseeinrichtung gemäß mindestens einem der Ansprüche 1 bis 7 in einem eingebetteten System, welches einen voll funktionsfähigen Mikrorechner mit zumindest Zentralrecheneinheit (1) und Datenspeicher (3) enthält.
9. Verwendung der Analyseeinrichtung gemäß mindestens einem der Ansprüche 1 bis 7 in einem integrierten Mikroprozessorsystem für Kraftfahrzeuge mit mindestens zwei Prozessorkernen (15,16), wobei mindestens einem der enthaltenen Prozessorkerne (16) eine vollständige Analyseeinrichtung (18), insbesondere gemäß mindestens einem der Ansprüche 1 bis 7, zugeordnet ist.
10. Verwendung nach Anspruch 9, dadurch **gekennzeichnet**, dass in dem integrierten Mikroprozessorsystem neben dem ersten Prozessorkernen (16) mit der vollständigen Analyseeinrichtung einem weiteren Prozessorkern (15) eine unvollständige Analyseeinrichtung (17) zugeordnet ist, welche gegenüber der vollständigen Analyseeinrichtung (18) einen reduzierten Funktionsumfang besitzt.
11. Verwendung nach Anspruch 9 oder 10, dadurch **gekennzeichnet**, dass die Reduktion des Funktionsumfangs darin besteht, dass der in der Analyseeinrichtung vorhan-

- 18 -

dene Pufferspeicher (8', 8'') eine geringere Speicherplatzanzahl und/oder Wortbreite hat und/oder die Testschnittstelle (5) nicht nach außen geführt und/oder die Testschnittstelle (5) nicht vorhanden ist.

12. Verfahren zur Analyse eines eingebetteten Systems mit einer Testschnittstelle, insbesondere gemäß mindestens einem der Ansprüche 1 bis 7, dadurch **gekennzeichnet**, dass zur Übertragung der Daten über die Testschnittstelle ein Datenübertragungsprotokoll verwendet wird, bei dem die Daten in mehreren Gruppen aus Adressen und Daten übertragen werden.
13. Verfahren nach Anspruch 12, dadurch **gekennzeichnet**, dass mindestens ein Modus vorhanden ist, in dem die Analysedaten in Echtzeit aus dem System, welches zumindest CPU, Datenspeicher, Programmspeicher und I/O-Element/-e umfasst, herausgelesen und/oder in das System hinein geschrieben werden können, so dass das System für die Analyse nicht angehalten bzw. unterbrochen werden muss.
14. Verfahren nach Anspruch 12 oder 13, dadurch **gekennzeichnet**, dass

- der Speicherinhalt oder eine entsprechend auswertbare Information des eingebetteten Systems ganz oder teilweise in einen externen Speicher in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden, und/oder

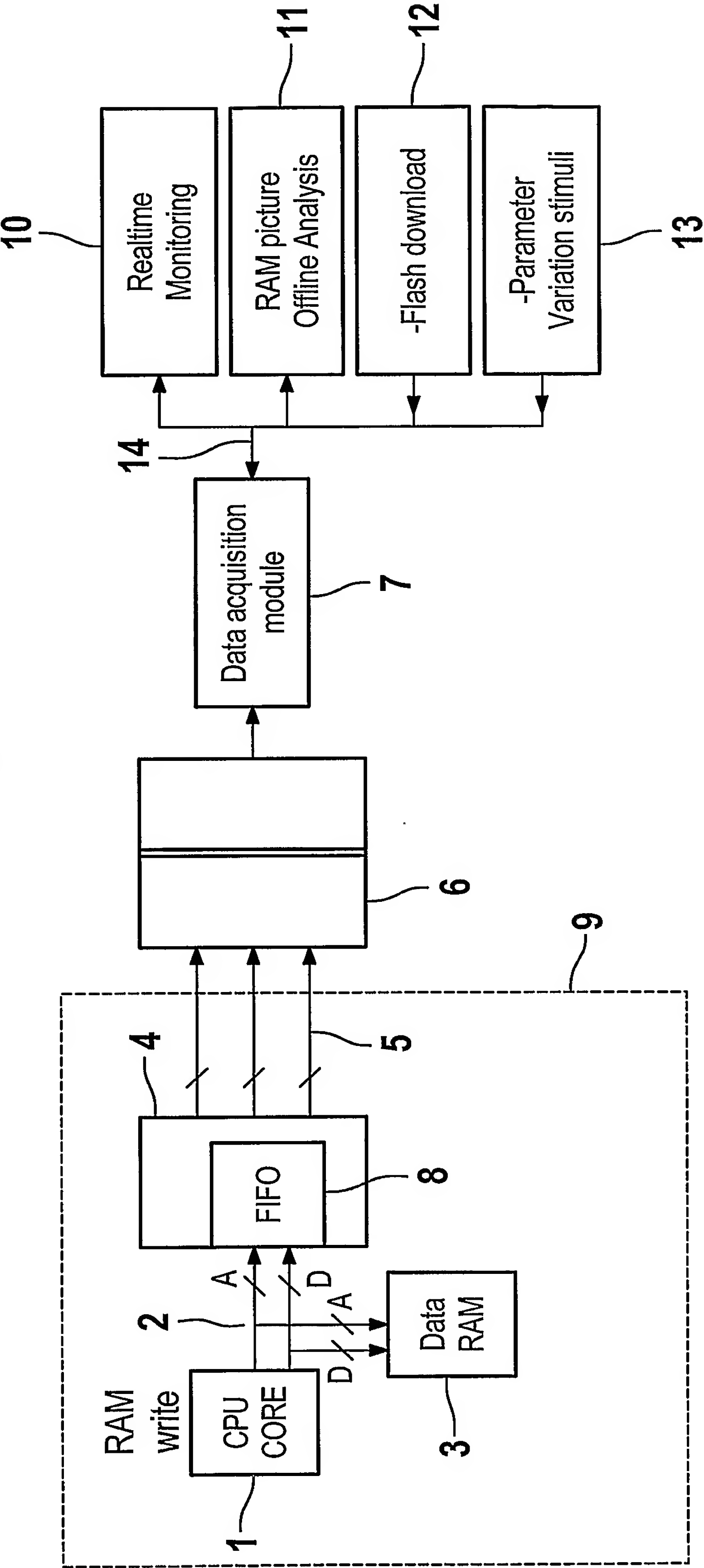
- der Speicherinhalt eines externen Speichers (6) oder eine entsprechend auswertbare Information über den Speicherinhalt von Speicher (6) ganz oder teilweise in

- 19 -

einen Speicher des eingebetteten Systems in Echtzeit kopiert wird, wobei insbesondere zuvor die Daten gepuffert werden.

15. Verfahren nach mindestens einem der Ansprüche 12 bis 14, dadurch **gekennzeichnet**, dass nur die für das Debugging erforderlichen Daten bei Zugriffen der CPU auf RAM 3 an den externen Speicher (6) übertragen werden.
16. Verfahren nach mindestens einem der Ansprüche 12 bis 15, dadurch **gekennzeichnet**, dass Schreibzugriffe und/oder Lesezugriffe der CPU mittels eines Pufferspeichers (8, 8', 8'') protokolliert werden.
17. Verfahren nach mindestens einem der Ansprüche 12 bis 16, dadurch **gekennzeichnet**, dass Informationen über die Schreibzugriffe ohne zusätzliche CPU-Befehle in den Pufferspeicher (8, 8', 8'') oder direkt in das Kommunikationsmodul (4) geschrieben werden und die Informationen über die Lesezugriffe mit aktiver Unterstützung der CPU in den Pufferspeicher geschrieben werden.

Fig. 1





**Fig. 2a**

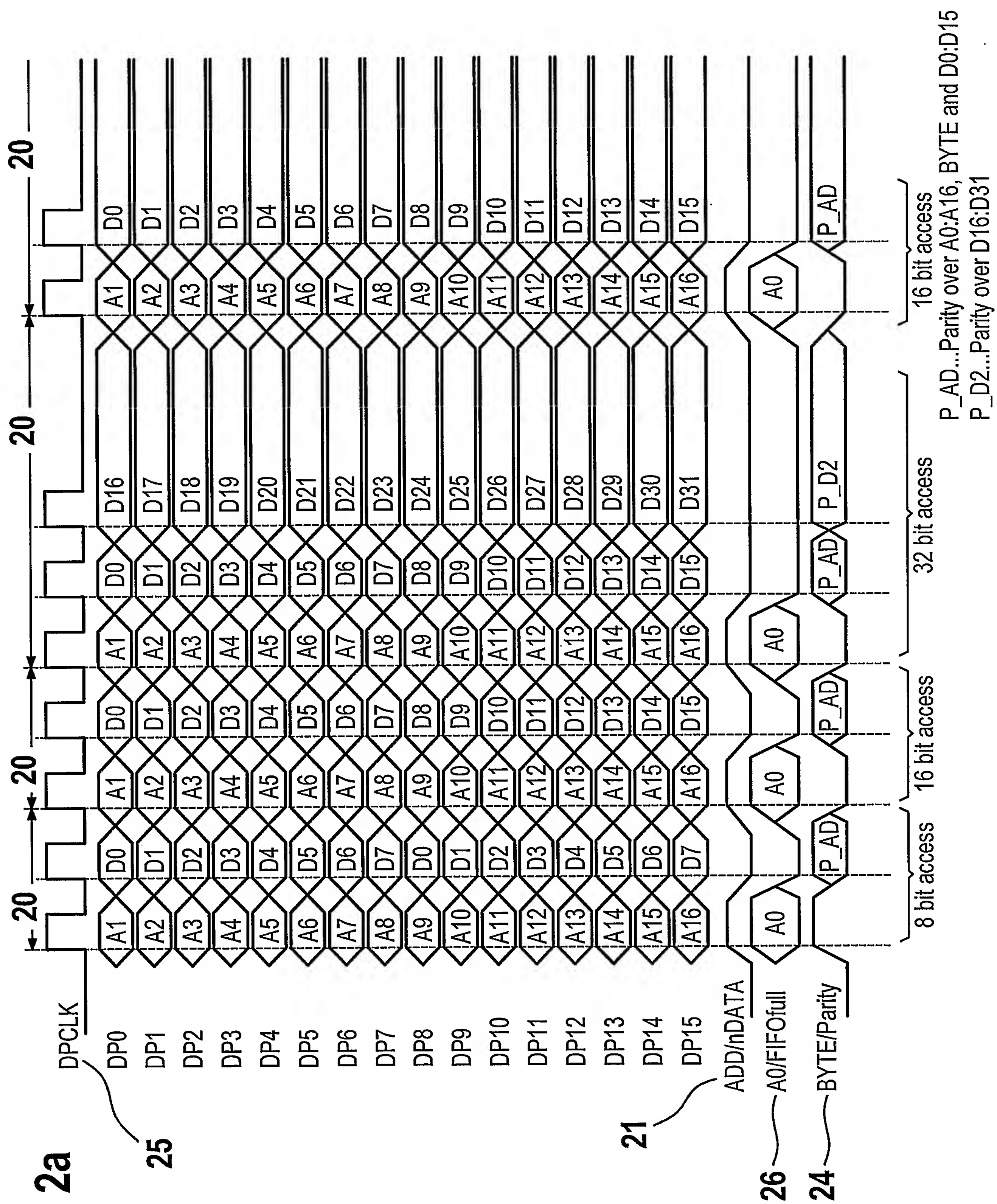
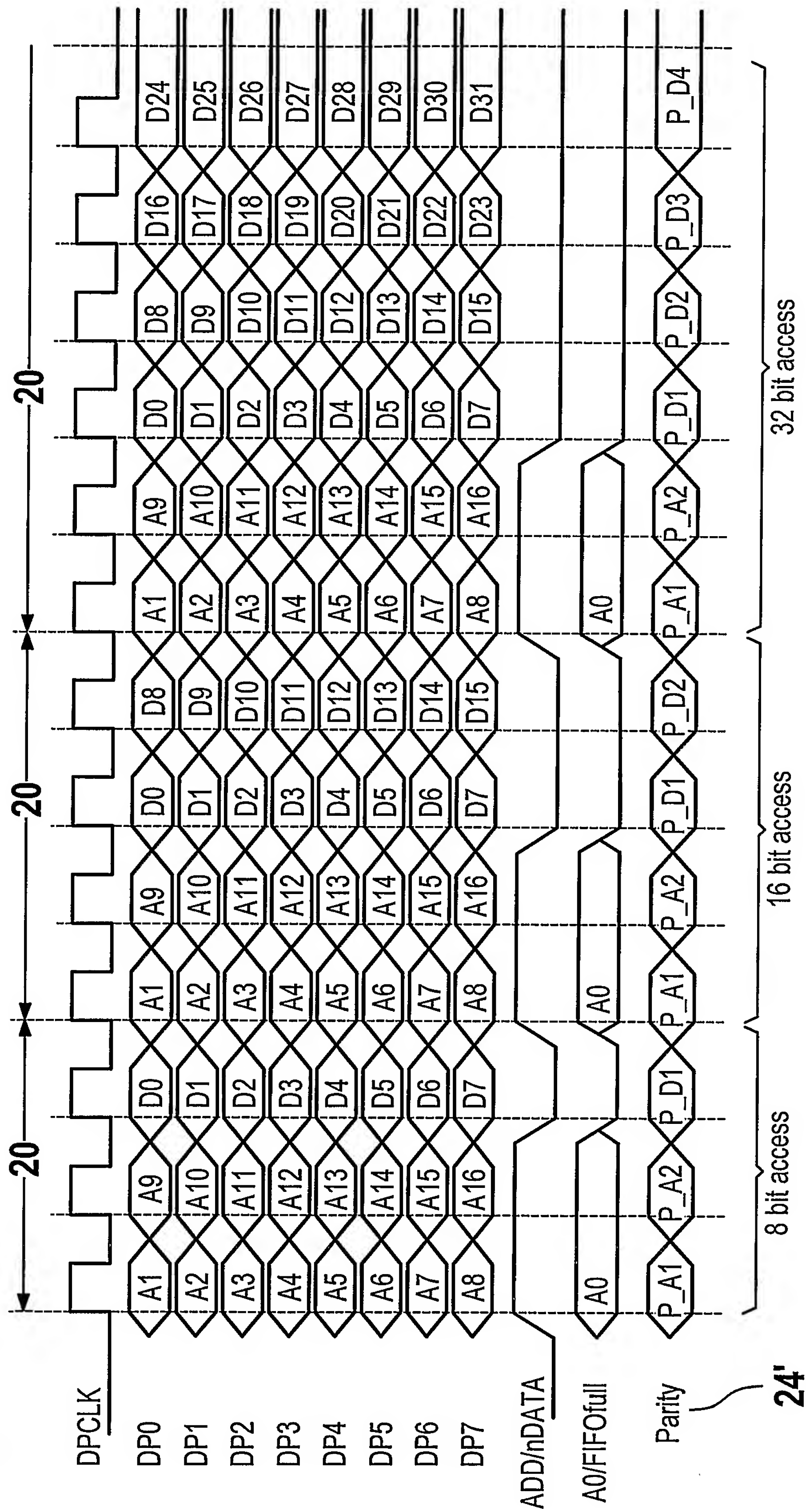


Fig. 2b



P\_A1...Parity over A0:A8  
P\_A2...Parity over A9:A16  
P\_D1...Parity over D0:D7  
P\_D2...Parity over D0:D7  
P\_D3...Parity over D0:D7  
P\_D4...Parity over D0:D7

